



(19)

(11) Publication number:

61199309 A

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **60040832**(51) Intl. Cl.: **H03H 7/34 H05K 1/02**(22) Application date: **28.02.85**

<p>(30) Priority:</p> <p>(43) Date of application publication: 03.09.86</p> <p>(84) Designated contracting states:</p>	<p>(71) Applicant: SHOWA ELECTRIC WIRE & CABLE CO LTD</p> <p>(72) Inventor: MATSUMOTO HIDEKI KOMORI SHINICHI</p> <p>(74) Representative:</p>
---	--

**(54) PRINTED BOARD TYPE
ELECTROMAGNETIC
DELAY LINE**

(57) Abstract:

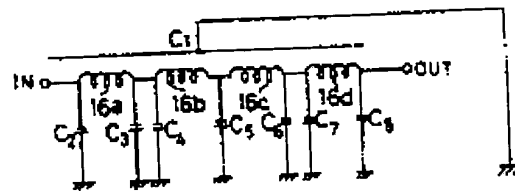
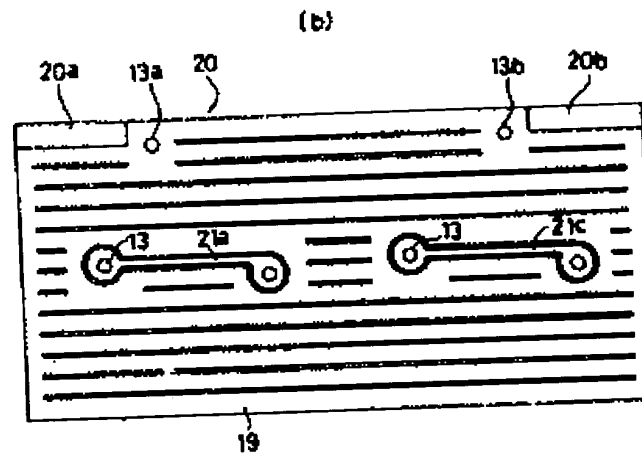
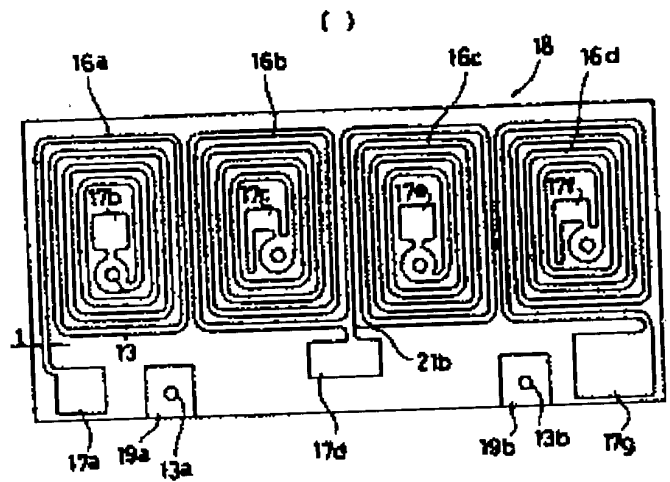
PURPOSE: To obtain a delay line with small size, uniform characteristic impedance and much delay by providing plural spiral coils to the front face of a dielectric both side printed board, an earth electrode to the rear face, connecting adjacent coils in series so as to make the direction of magnetic fields opposite alternately so as to constitute and overlapping plural delay line units.

CONSTITUTION: A front pattern 18 of plural spiral coils 16a~16b is formed on the surface of the dielectric both side printed board, a rear pattern 20 of an earth electrode 19 is provided to the rear face of the dielectric board to constitute a distributed capacitance C1 between the coils 16a~16b and the earth electrode 19, and the delay line unit is constituted by including leads (a), (b),

61199309 A

(c) connecting the adjacent coils in series so that the direction of the magnetic field produced by coils 16a~16b, 16b~16c and 16c~16d on both the patterns 18, 20 is made reverse alternately, and plural delay units are overlapped. Thus, the small size is attained and much total inductance and capacitance is obtained, their values are stable and the characteristic is improved.

COPYRIGHT: (C)1986,JPO&Japio



⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭61-199309

⑬ Int. Cl.⁴

H 03 H 7/34
H 05 K 1/02

識別記号

庁内整理番号

7210-5J
6679-5F

⑭ 公開 昭和61年(1986)9月3日

審査請求 未請求 発明の数 1 (全6頁)

⑮ 発明の名称 プリント基板型電磁遅延線

⑯ 特 願 昭60-40832

⑰ 出 願 昭60(1985)2月28日

⑱ 発 明 者 松 本 秀 樹 川崎市川崎区小田栄2丁目1番1号 昭和電線電纜株式会社内

⑲ 発 明 者 小 森 伸 一 川崎市川崎区小田栄2丁目1番1号 昭和電線電纜株式会社内

⑳ 出 願 人 昭和電線電纜株式会社 川崎市川崎区小田栄2丁目1番1号

㉑ 代 理 人 弁理士 守谷 一雄

明 細 書

1. 発明の名称

プリント基板型電磁遅延線

2. 特許請求の範囲

1. 誘電体両面プリント基板の表面に、複数個の渦巻状コイルの導パターンを形成し、前記誘電体基板の裏面にアース電極の導パターンを設けて前記コイルと前記アース電極との間に分布容量を構成し、両パターンは隣接する前記各コイルによって生じる磁界の方向が交互に逆向きになるよう隣接するコイル間を直列接続するリード部を含ませて遅延線ユニットを構成し、前記遅延線ユニットを複数個重畳したことを特徴とするプリント基板型電磁遅延線。

2. 前記プリント基板は可撓性の材料で構成され、前記遅延線ユニットを複数枚に折り曲げて成る特許請求の範囲第1項記載のプリント基板型電磁遅延線。

3. 前記遅延線ユニットを絶縁板の両面へ接合し、一方の遅延線ユニットの出力パッド電極と他

方の遅延線ユニットの入力パッド電極をリードフレームにより導通した特許請求の範囲第1項記載のプリント基板型電磁遅延線。

4. 前記遅延線ユニットを同一のプリント基板のパターンで構成し、両遅延線ユニットを絶縁板の両面へ接合し、一方の遅延線ユニットの出力パッド電極と他方の遅延線ユニットの入力パッド電極をリードフレームにより導通してタツプとした特許請求の範囲第1項記載のプリント基板型電磁遅延線。

5. 前記遅延線ユニットを多層構造とした特許請求の範囲第1項記載のプリント基板型電磁遅延線。

3. 発明の詳細な説明

〔発明の技術分野〕

本発明は、プリント基板型電磁遅延線に係り、特に、小型で多くの遅延量を得ることができ特性が良く製造が容易なこの種電磁遅延線に関する。

〔発明の技術的背景〕

従来から、セラミツク等の誘電体基板上に導電

箔を形成し、これをプリント技法で複数個の渦巻状コイルを配置し、リード線により隣接するコイル間を直列接続し、誘電体基板の表面と裏面の間に分布容量を構成した電磁遅延線が知られている。

【背景技術の問題点】

このような電磁遅延線は、小型で多くの遅延量を得るためにはインダクタンスおよび容量が多くとれ、かつその値が安定していること、インダクタンスの電気抵抗が少ないこと、特性が良く製造が容易であること等の点が要求されるが、従来のセラミックス等を使用したプリント基板型電磁遅延線は、その材質の比誘電率が不均一で、銀パラ等を用いるため導体抵抗が大きいなどから均一の特性インピーダンスを有し、長い遅延量を得ることができず、未だ最適なインダクタンスおよび容量の設計および製造技法は確立されていない。

【発明の目的】

本発明は上記従来の諸点に鑑みなされたもので、小型で均一の特性インピーダンスを有し、多くの遅延量を得ることができ特性が良く製造が容易で

コストが安いプリント 板型電磁遅延線を提供せんとするものである。

【発明の概要】

このような目的を達成するために本発明によれば、プリント基板型電磁遅延線は、誘電体両面プリント基板の表面に、複数個の渦巻状コイルの表パターンを形成し、前記誘電体基板の裏面にアース電極の裏パターンを設けて前記コイルと前記アース電極との間に分布容量を構成し、両パターンは隣接する前記各コイルによつて生じる磁界の方向が交互に逆向きになるよう隣接するコイル間を直列接続するリード部を含ませて遅延線ユニットを構成し、前記遅延線ユニットを複数個重畳したものである。

【発明の実施例】

以下、本発明の好ましい実施例を図面により説明する。

本発明のプリント基板型電磁遅延線は下記の工程で製造される。即ち、第1図(a)に示すように、可塑性の誘電体10の両面に導体として銅箔

11を接着剤で張付けてプリント回路基板12を作成する。別法として、可塑性の誘電体10の両面に導体として銅あるいはアルミニウムを蒸着あるいはスパッタリングで成膜してプリント回路基板12を作成してもよい。可塑性の誘電体10としては有機高分子材料、例えばポリイミド、ポリエステルが使用される。このようにして3層のサンドイッチ構造とされた表面導体/誘電体/裏面導体を得られる。市販のポリイミド可塑性プリント回路基板の膜厚は12.5 μ m、25 μ m、50 μ mで、銅箔の膜厚は18 μ m、35 μ m、70 μ mであり、これら各種を組み合わせることができるが、その組み合わせのうち遅延線の特性に影響を及ぼす分布容量、インダクタンス、導体抵抗によりいずれかの組み合わせが過剰される。こうして得られた誘電体両面プリント基板12は後述のホットエッチングに適する大きさ、例えば50mm \times 50mm \sim 100mm \times 100mmに切り出される。次いで、両面プリント基板12はその所定箇所にスルーホール13、13a、bがブレ

ス加工により形成される(第1図(b))。このスルーホール13は化学メッキおよび電気メッキにより導電層が着膜され表面導体と裏面導体を接続するリード部15が形成される(第1図(c))。プリント基板12はその両面にレジストがラミネートされ、後述のパターンを有するホトマスク(図示せず)を介して露光された後、現像され、導体をエッチングし、レジストを剥離する(第1図(d))。こうして、プリント基板12の表面には、複数個の渦巻状コイル18a \sim dと、前記コイルの内側あるいは外側に非連続的に矩形又は円形状に形成され前記コイルの一部に接続されたパッド電極17a \sim gとの表パターン18(第2図(a))が形成され、誘電体基板の裏面には、アース電極19の裏パターン20(第2図(b))が設けられる。この場合、表パターン18の出力側パッド電極17gは入力側パッド電極17aよりも大きく形成されている。出力側パッド電極17gの面積(S1)と入力側パッド電極17aの面積(S2)は $S1/S2=0.7\sim0.2$ 程度

が好ましい。また、プリント基板12の表面の表パターン18には、アース電極19の一部にスルーホール13a, bのリード部16を介して接続されたアース電極19a, bが形成されている。なお、表パターン18のそれぞれ信号入力電極、信号出力電極としても用いられるパッド電極17a, gに対応する裏パターン20の部分20a, bには導電パターンが形成されず絶縁体とされている。この結果、コイル16a~dおよびパッド電極17a~gとアース電極19との間に分布容量C1, C2~8を構成している(第3図)。なお、同一面積で構成しようとした場合、コイルのライン幅(第2図(a))が大きくなると、インダクタンスは少なくなり、容量は大きくなり、反対にパターン幅が小さくなると、インダクタンスは大きくなり、容量は小さくなる。

裏パターン18、20は隣接する前記各コイル16a-16b, 16b-16c, 16c-16dによつて生じる磁界の方向が交互に逆向きになるよう隣接するコイル16a-16b, 16b-

16c, 16c-16d間を直列接続するリード部21a, b, c(第2図(a), (b))を含む。このようにすれば隣接するコイル16a-16b, 16b-16c, 16c-16dによつて生じる磁界の方向22は第4図のようになり、隣接するコイルの結合が増大し、相互インダクタンスが増大する。この種の電磁遅延線は特性インピーダンス $Z = \sqrt{L/C}$ で、直流から特定周波数まで安定した遅延時間 $T = \sqrt{LC}$ が得られる。ここに、Lは直列にしたすべてのコイル16a~dの自己、相互インダクタンスの合計、Cは並列にしたすべての分布容量C1~8の合計である。

次いで、全体を半田付け性の良いメッキで被覆しコート層23を形成して錆びの発生を防ぐ(第1図(e))。

こうしてプリント基板12は電磁遅延線の1ユニット26を縦横に複数個並列せしめたものに形成される(第1図(f))。

次に、プリント基板12は打ち抜き金型により遅延線ユニット26が縦あるいは横方向に複数個

連続した状態で切断される。遅延線ユニット26a, bは複数枚に折り曲げて重畳される(第5図(a))。この場合、2枚折のときは一つの遅延線ユニット出力部は隣の遅延線ユニットの入力部へ接続され、3枚折のときはさらにその遅延線ユニット出力部はその次の遅延線ユニットの入力部へ接続されるようにパターン構成されている。なお、ユニット間のコイル同士には電磁結合が生じ、相互インダクタンスが大きくなると信号にブリシュートを惹起するので、スペーサを介挿したりコイルの位置を適宜配し調整する。

重畳された電磁遅延線ユニット26のパッド電極17a, gおよびアース電極19a, bはリードフレーム28の連設されたクリツブリード27へ挟め込められて半田付け等により接続される(第1図(g))。

この状態で粉体塗膜により外装を形成し、その後リードフレームを切断し、各ユニットに分離する。このような諸工程により各ユニットが第3図に示すような等価回路のプリント基板型電磁遅延

線が得られる。この実施例によればユニットを折り曲げて重畳したので1ユニット整数倍の多くの遅延量を得ることができる。また、第5図(b)に示すように電磁遅延線ユニット26a, bは基板25の周りに折り曲げて重畳してもよい。

何れの場合も、電磁遅延線ユニットは第1図(g)に示すリードフレーム28に接続する代わりに、DIP型のリードフレームを用い、そのリードを電磁遅延線ユニットの入、出力端子、アース端子、電磁遅延線ユニット相互間の入出力部の接続、タツプ端子、電磁遅延線ユニットの保持にあてることもできる。

次に、多くの遅延量を得ることができるプリント基板型電磁遅延線の他の実施例について説明する。

第6図(a), (b)に示すように前記実施例における遅延線ユニット26a, 26bを準備した。両遅延線ユニットは同図に示すように同一のパターンでなくともよいが、パッド電極17a(1N)、アース電極19a(G)、パッド電極

17h (OUT1) およびアース電極19b (G) の位置は同一のパターンで構成されている。両遅延線ユニットを絶縁板 (図示せず) の両面へ接合する。両遅延線ユニットは該絶縁板を介して背中合わせに接合され、即ち遅延線ユニット26aのパッド電極17h (OUT1) と遅延線ユニット26bのパッド電極17a (IN) が同一の位置にくる (第6図(c))。そして遅延線ユニット26aのパッド電極17a (IN) と遅延線ユニット26bのパッド電極OUTには直列接続されたコイルが介在することになる。この場合、一方の遅延線ユニット26aの出力パッド電極17h (OUT1) と他方の遅延線ユニット26bの入力パッド電極IN2はリードフレーム28のフックリード27によりハンダで導通される。他の電極もリードフレーム28のフックリード27がハンダで接続される。リードフレーム28のフックリード27を銀線30で切断すれば、遅延線26が得られる (第6図(d))。

また、第7図(a)、(b)に示すように遅延

線ユニットユニット26a、26bを同一のパターンで構成し、即ちコイルパターンもパッド電極IN、アース電極G、パッド電極OUT1およびアース電極Gの位置も同一のパターンで構成し、遅延線ユニットを絶縁板 (図示せず) の両面へ接合する。両遅延線ユニットは該絶縁板を介して背中合わせに接合され、即ち遅延線ユニット26aのパッド電極OUT1と遅延線ユニット26bのパッド電極IN2が同一の位置にくる (第7図(c))。そして遅延線ユニット26aのパッド電極INと遅延線ユニット26bのパッド電極OUTには直列接続されたコイルが介在することになる。この場合、一方の遅延線ユニット26aの出力パッド電極OUT1と他方の遅延線ユニット26bの入力パッド電極IN2はリードフレーム28のフックリード27によりハンダで導通されタツブTAPとされる。他の電極もリードフレーム28のフックリード27がハンダで接続される。リードフレーム28のフックリード27を銀線30で切断すれば、タツブTAP付の遅延線26が

得られる (第7図(d))。

この電磁遅延線によれば、誘電体両面プリント基板12の表面に、複数個の渦巻状コイル16a~16bの表パターン18を形成し、誘電体基板の裏面にアース電極19の裏パターン20を設けてコイル16a~16bとアース電極19との間に分布容量C1を構成し、両パターン18、20は隣接する各コイル16a-16b、16b-16c、16c-16dによつて生じる磁界の方向が交互に逆向きになるよう隣接するコイル間を直列接続するリード部21a、b、cを含ませて遅延線ユニットを構成し、前記遅延線ユニットを複数個重畳したので、小型で全体のインダクタンスおよび容量が多くとれ、かつその値が安定しているから特性が良好である。また、このような電磁遅延線はリソグラフィ、プリント技術を利用することにより製造が容易なものである。

[発明の効果]

以上の実施例からも明らかなように本発明によれば小型で特性インピーダンスが均一で、多くの

遅延量を得ることができ特性が良く製造が容易でコストが安いプリント基板型電磁遅延線が得られる。

4. 図面の簡単な説明

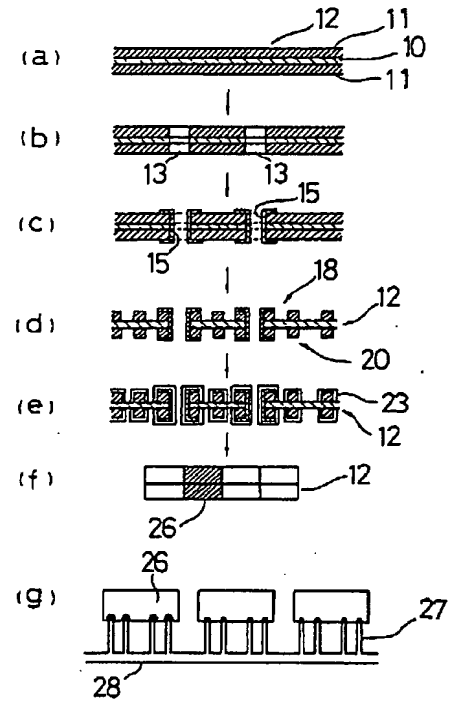
第1図(a)~(g)は本発明によるプリント基板型電磁遅延線の製造工程図、第2図(a)~(b)は同遅延線に用いられる基板のパターン図、第3図は同遅延線の等価回路図、第4図は同遅延線の動作説明図、第5図(a)~(b)は同遅延線の実施例の説明図、第6図(a)~(d)は同遅延線の他の実施例の説明図、第7図(a)~(d)は同遅延線のもう一つの実施例の説明図である。

- 12 . . . 誘電体両面プリント基板
- 16a~16b . . . 渦巻状コイル
- 17a~17g . . . パッド電極
- 18 . . . 表パターン
- 19 . . . アース電極
- 20 . . . 裏パターン

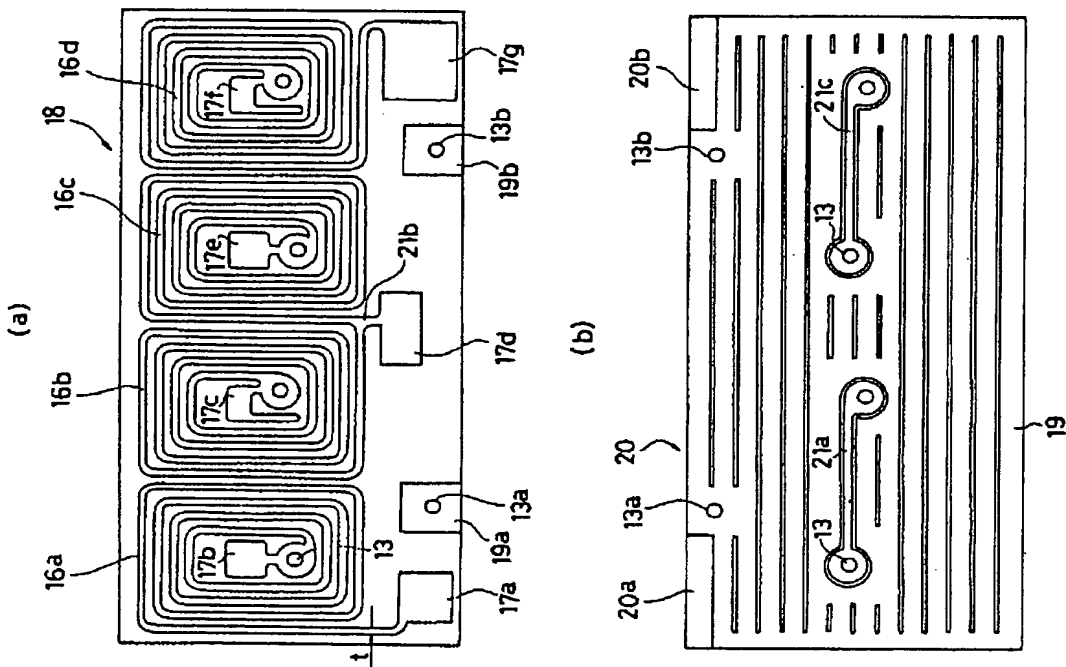
C 1、C 2 ~ 8 . . . 分布容量
 2 1 a、b、c . . . リード部
 1 7 g . . . 出力側パッド電極
 1 7 a . . . 入力側パッド電極
 2 6 a、2 6 b . . . 遅延線ユニット

代理人 井理士 守 谷 一 雄

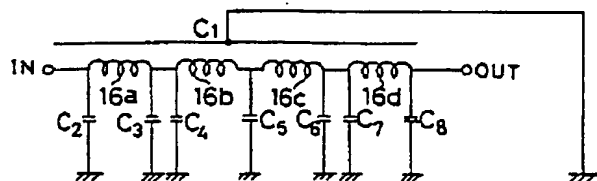
第 1 図



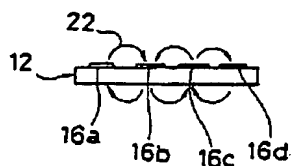
第 2 図



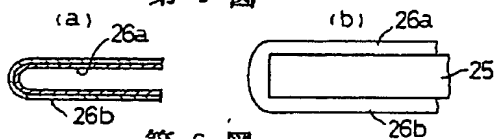
第 3 図



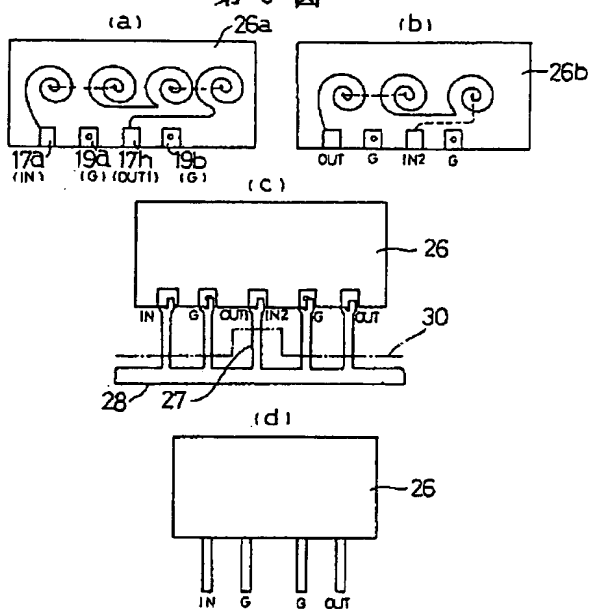
第 4 図



第 5 図



第 6 図



第 7 図

